



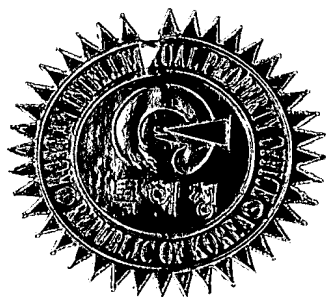
별첨 시본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0016812  
Application Number

출원 년 월 일 : 2003년 03월 18일  
Date of Application MAR 18, 2003

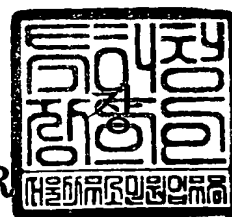
출원 인 : 삼성전 자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 11 월 10 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0021
【제출일자】	2003.03.18
【국제특허분류】	H01L
【발명의 명칭】	반도체 메모리 장치 및 그 제조방법
【발명의 영문명칭】	Semiconductor memory device and manufacturing method for the semiconductor memory device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	박제민
【성명의 영문표기】	PARK, Je Min
【주민등록번호】	711212-1110611
【우편번호】	442-370
【주소】	경기도 수원시 팔달구 매탄동810-4 성일아파트 206-702
【국적】	KR
【발명자】	
【성명의 국문표기】	황유상
【성명의 영문표기】	HWANG, Yoo Sang
【주민등록번호】	660707-1006211



1020030016812

출력 일자: 2003/11/13

【우편번호】 442-470  
【주소】 경기도 수원시 팔달구 영통동 황골마을한국아파트 214-806  
【국적】 KR  
【심사청구】 청구  
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
이영필 (인) 대리인  
정상빈 (인)  
【수수료】  
【기본출원료】 20 면 29,000 원  
【가산출원료】 23 면 23,000 원  
【우선권주장료】 0 건 0 원  
【심사청구료】 20 항 749,000 원  
【합계】 801,000 원  
【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

커패시터가 지그재그 타입으로 배열된 반도체 메모리 장치 및 그 반도체 메모리 장치를 제조하는 방법에 대하여 개시한다. 본 발명의 일 실시예에 의한 반도체 메모리 장치는 소스 영역 및 드레인 영역이 가로 및 세로 방향으로 스트레이트 타입으로 배열된 커패시터 온 비트 라인 구조의 반도체 메모리 장치로서, 스토리지 노드 콘택 플러그의 주변에는 층간 절연막에 대하여 식각 선택비가 큰 물질로 형성된 보호막 패턴이 구비되어 있으며, 그 위층에는 지그재그 타입으로 배열되어 종래보다 크게 형성된 스토리지 노드 콘택 플러그가 구비되어 있다. 그리고, 스토리지 노드 콘택 플러그 상에는 마름모 또는 원형 모양을 가지며 지그재그 타입으로 배열된 커패시터가 구비된다.

**【대표도】**

도 8a

**【색인어】**

메모리, COB, 커패시터 하부 전극, 스트레이트 타입, 2-비트 불량

【명세서】

【발명의 명칭】

반도체 메모리 장치 및 그 제조방법{Semiconductor memory device and manufacturing method for the semiconductor memory device}

【도면의 간단한 설명】

도 1은 반도체 메모리 장치 중 디램 메모리 장치를 구성하는 메모리 셀에 대한 등가회로도이다.

도 2a 내지 도 5d는 종래 기술에 따른 반도체 메모리 장치 및 그 제조방법을 보여주기 위한 개략적인 평면도 및 단면도이다.

도 6a 내지 도 9a는 본 발명에 따른 반도체 메모리 장치 및 그 제조방법을 보여주기 위한 개략적인 평면도 및 단면도이다.

( 도면의 주요 부분에 대한 부호의 설명 )

102, 202 : 활성 영역    104, 204 : 소자 격리 영역

112, 212 : 게이트 라인 구조물    114, 214 : 제1 콘택 패드

116, 216 : 제2 콘택 패드    118, 218 : 제1 층간 절연막

122, 222 : 제2 층간 절연막    126, 226 : 비트 라인 콘택 플러그

132, 232 : 비트 라인 구조물    134, 234 : 제3 층간 절연막

136, 236 : 스토리지 노드 콘택 플러그

142, 242 : 커패시터 하부 전극

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <12> 본 발명은 반도체 메모리 장치 및 그 제조방법에 관한 것으로, 보다 구체적으로는 커패시터 온 비트 라인(Capacitor On Bit line, COB)구조의 반도체 메모리 소자 및 그 제조 방법에 관한 것이다.
- <13> 반도체 메모리 장치의 초고집적화로 디자인 룰은 지속적으로 감소하고 있다. 디자인 룰이 감소하는 것은 반도체 메모리 장치에서 단위 메모리 셀이 차지하는 면적이 줄어드는 것을 의미한다. 단위 메모리 셀의 면적이 작아지면서 특히 커패시터 바닥의 임계 치수(Critical Dimension, CD)가 상대적으로 많이 작아지고 있다. COB 구조의 반도체 메모리 장치의 경우 커패시터의 바닥 CD가 작아지면서 커패시터의 커패시턴스가 크고, 또한 옆으로 쓰러지지 않는 커패시터를 제조하는 문제가 이슈로 등장하였다.
- <14> 먼저 반도체 메모리 장치에서 요구되는 충분한 커패시턴스를 갖는 커패시터를 제조하기 위하여 여러 가지 구조의 커패시터들이 제시되었다. 이 중에서 커패시터 하부 전극을 실린더형으로 만드는 방법이 실린더의 안쪽 면과 바깥쪽 면을 모두 유효 면적으로 사용할 수 있기 때문에 현재 널리 사용되고 있다. 하지만 실린더형 커패시터도 요구되는 커패시턴스를 충족시키기 위하여 디자인 룰이 작아짐에도 불구하고 커패시터의 높이가 계속 증가되고 있는 추세이다.
- <15> 도 1에는 반도체 메모리 장치 보다 구체적으로는 디램 장치의 메모리 셀에 대한 등가회로도의 일 예가 도시되어 있다. 도 1에는 2개의 메모리 셀이 도시되어 있으며, 이들은 비트 라인(BL)을 서로 공유한다. 워드 라인(WL)은 비트 라인(BL)과 직교하고 있으며, 워드 라인(WL)은

트랜지스터의 게이트 전극(G)로서의 역할도 하기 때문에 게이트 라인이라고도 한다. 각 메모리 셀은 하나의 트랜지스터와 하나의 커패시터(C)로 구성되는데, 트랜지스터의 게이트, 소스 및 드레인은 각각 참조 부호 'G', 'S' 및 'D'로 표시되어 있다.

<16> 도 2a 내지 도 5d에는 종래 기술에 따라서 도 1에 도시된 등가회로가 구현된 다수의 메모리 셀을 포함하는 반도체 메모리 장치의 제조방법 및 그에 따라 제조된 반도체 메모리 장치의 일부가 개략적으로 도시되어 있다. 도면에서 도 2a, 도 3a, 도 4a 및 도 5a는 평면도이고, 나머지 도면은 단면도이다. 다만, 평면도에서는 각 구성 요소의 평면 배치를 보여주기 위하여 불필요한 구성 요소(예컨대, 층간 절연막 등)의 도시는 생략하였다. 그리고, 해당 공정에서 새롭게 형성되는 구성 요소는 해치(hatch)를 하여 그 이전 단계에서 형성된 구성 요소와 구분하였다.

<17> 먼저 도 2a 내지 도 2d를 참조하면, 반도체 기판(100)에 통상적인 소자 격리 방법 예를 들어 트렌치 격리 방법을 사용하여 소자 격리 영역(104)을 형성한다. 소자 격리 영역에 의하여 격리되는 나머지 부분은 활성 영역(102)이다. 활성 영역(102)에서 참조 부호 'S'로 표시된 부분은 소스 영역이 형성될 부분이며, 참조 부호 'D'로 표시된 부분은 드레인 영역이 형성될 부분이다. 도 2b, 도 2c 및 도 2d에는 각각 도 2a의 I-I', II-II' 및 III-III' 라인을 따라 취한 단면도가 도시되어 있다.

<18> 이와 같은 형태로 활성 영역(102)이 정의된 메모리 셀의 배치에서 나타나는 특징은 소스 영역(S) 및 드레인 영역(D)이 가로 및 세로 방향으로 스트레이트로 배열되어 있다는 점이다. 그리고, 트랜지스터의 채널 영역은 게이트 라인에 대하여 직교하도록 활성 영역이 정의된다. 이와 같은 배치는 소스 및 드레인 영역이 지그재그로 배열되거나 트랜지스터의 채널 영역이 게이트 라인에 대하여 사선 방향으로 배열되는 것과는 구분된다. 도시된 것과 같은 메모리 셀의

소스 및 드레인 영역과 채널의 배치는 집적도의 증가 및 트랜지스터의 전기적인 특성 향상에 도움이 되기 때문에 현재 널리 적용되고 있다.

<19> 도 3a에는 게이트 라인 구조물(112), 제1 콘택 패드(114) 및 제2 콘택 패드(116)의 평면 배치가 도시되어 있다. 그리고, 도 3b, 도 3c 및 도 3d에는 각각 도 3a의 I-I', II-II' 및 III-III' 라인을 따라 취한 단면도가 도시되어 있다.

<20> 이를 위하여 먼저 이 분야의 통상적인 기술을 사용하여 반도체 기판(100) 상에 게이트 라인 구조물(112)을 형성한다. 게이트 라인 구조물(112)은 예를 들어 게이트 산화막, 도전체막, 하드 마스크막과 측벽 스페이서를 포함하여 구성될 수 있다. 게이트 라인 구조물(112)을 형성하는 도중 및/또는 그 이후에 이온 주입 공정을 실시함으로써 활성 영역(102)에는 소스 영역(105) 및 드레인 영역(106)을 형성할 수 있다. 그리고, 제1 층간 절연막(118)을 증착하고 평탄화한 다음, 여기에 제1 콘택 홀을 형성한다. 이 때, 자기 정렬 콘택(SAC) 형성방법을 사용할 수 있다. 계속해서 제1 콘택 홀에 도전 물질을 매립하여 식각함으로써 제1 콘택 패드(114) 및 제2 콘택 패드(116)를 형성한다. 제1 콘택 패드(114)는 소스 영역(105)과 연결되고, 제2 콘택 패드(116)는 드레인 영역(106)과 연결된다.

<21> 도 3b를 참조하면, 가로 방향(게이트 라인 구조물(112)에 수직한 방향)으로는 제1 콘택 패드(114) 사이의 간격은 1.5피치 정도로 상대적으로 크고, 제1 콘택 패드(114) 사이에 제2 콘택 패드(116)가 위치하고 있는 것을 알 수 있다. 반면에, 도 3c를 참조하면, 세로 방향(게이트 라인 구조물(112)에 평행한 방향)으로는 제1 콘택 패드(114) 사이의 간격은 0.5피치 정도밖에 되지 않는다. 세로 방향으로는 제1 콘택 패드(114)가 상당히 조밀하게 배치되어 있는 것을 알 수 있다.



- <22> 도 4a에는 비트 라인 콘택 플러그(126), 비트 라인 구조물(132) 및 스토리지 노드 콘택 플러그(136)의 평면 배치가 도시되어 있다. 그리고, 도 4b, 도 4c 및 도 4d에는 각각 도 4a의 I-I', II-II' 및 III-III' 라인을 따라 취한 단면도가 도시되어 있다.
- <23> 이것은 다음과 같은 방법으로 제조될 수 있다. 우선, 제1 및 제2 콘택 패드(114 및 116)를 둘러싸는 제1 층간 절연막(118) 상에 제2 층간 절연막(122)을 증착한 다음 평탄화한다. 그리고, 제2 층간 절연막(122)을 패터닝하여 비트 라인 콘택 플러그(126)가 형성될 영역에 제2 콘택 홀(미도시)을 형성한다. 제2 콘택 홀에 의하여 제2 콘택 패드(116)가 노출된다. 다음으로 제2 콘택 홀에 도전 물질을 매립하여 비트 라인 콘택 플러그(126)를 형성한다.
- <24> 그리고, 비트 라인 콘택 플러그(126) 상에는 이것과 연결되도록 비트 라인 구조물(132)을 형성하는데, 비트 라인 구조물(132)은 게이트 라인 구조물(112)에 대하여 수직이 되도록 한다. 비트 라인 구조물(132)은 통상적으로 하부에는 도전체막이 위치하고, 상부에는 하드 마스크막이 위치한다. 이 도전체막은 비트 라인 콘택 플러그(132)를 형성하는 공정에서 제2 층간 절연막(122) 상에 증착된 도전 물질을 패터닝함으로써 형성할 수도 있다. 하드 마스크막은 통상적으로 제2 층간 절연막(122) 및 제3 층간 절연막(134)에 대하여 식각 선택비가 큰 절연 물질로 형성된다.
- <25> 계속해서, 제2 층간 절연막(122) 및 비트 라인 구조물(132) 상에 제3 층간 절연막(134)을 형성한 다음 평탄화한다. 그리고, 제3 층간 절연막(134) 및 제2 층간 절연막(122)을 패터닝함으로써 제3 콘택홀(미도시)을 형성한다. 제3 콘택 홀에 의하여 제1 콘택 패드(114)가 노출된다.
- <26> 제3 콘택 홀은 제1 콘택 패드(114)와 마찬가지로 스트레이트 타입으로 배열된다. 그리고, 피치가 100nm 이하로 내려가면서 ArF 장치 및 포토레지스트를 사용하여야만 한다. 제3

콘택 홀 패터닝 공정에서 제3 층간 절연막(134) 및 제2 층간 절연막(126)이 제2 콘택 패드(116)가 노출되는 것을 방지하기 위해서 사진 공정의 오정렬 마진이 작으며, 또한 제3 콘택 홀 패턴을 지그재그로 배열할 수도 없다.

<27> 계속해서, 제3 콘택 홀에 도전 물질을 매립한 다음, 노드 분리 공정을 진행하여 스토리지 노드 콘택 플러그(136)를 형성한다. 그 결과, 도 4a에 도시된 바와 같이 가로 및 세로 방향으로 스트레이트 타입으로 배열되고, 가로 방향으로 조밀하게 배열된 스토리지 노드 콘택 플러그(136)가 만들어진다. 본 명세서에서는 제2 층간 절연막(122)으로 둘러싸인 스토리지 노드 콘택 플러그(136)는 하부 스토리지 노드 콘택 플러그(136a), 제3 층간 절연막(134)으로 둘러싸인 스토리지 노드 콘택 플러그(136)는 상부 스토리지 노드 콘택 플러그(136b)로 편의상 구분하여 부르기도 한다.

<28> 도 5a에는 커패시터 하부 전극(142)의 평면 배치가 도시되어 있다. 그리고, 도 5b, 도 5c 및 도 5d에는 각각 도 5a의 I-I', II-II' 및 III-III'라인을 따라 취한 단면도가 도시되어 있다.

<29> 도시된 것과 같은 실린더형 커패시터는 다음과 같은 공정으로 제조할 수 있다. 우선, 이전 공정의 결과물 상에 식각 저지막(미도시) 및 몰드 절연막(미도시)을 순차적으로 형성한다. 그리고, 사진 식각 공정을 사용하여 몰드 절연막을 식각하고, 노출된 식각 저지막을 제거하여 커패시터 하부 전극(142)이 형성될 영역을 한정한다. 계속해서, 결과물 상에 커패시터 하부 전극(142)용 물질 예컨대 폴리 실리콘이나 금속 물질을 사용하여 도전체막을 정합적으로 형성한 다음, 그 위에 버퍼 절연막(미도시)을 증착한다. 다음으로, 건식 에치백이나 CMP 공정을 사용하여 버퍼 절연막을 식각하고, 커패시터 하부 전극(142) 형성을 위한 도전체막의 노드를 분리

한다. 그리고, 남아 있는 버퍼 절연막 및 몰드 절연막을 제거하면 도시된 것과 같은 실린더 모양의 커패시터 하부 전극(142)이 만들어진다.

<30> 전술한 바와 같이, 스토리지 노드 콘택 플러그(136)가 스트레이트 타입으로 세로 방향으로 조밀하게 배열되어 있다. 따라서, 이것과 연결되는 커패시터 하부 전극(142)도 세로 방향으로 조밀하게 스트레이트 타입으로 배열될 수밖에 없다. 그 결과, 커패시터 하부 전극(142)의 외형은 길이와 폭의 차이가 큰 직사각형이거나 장축과 단축의 길이의 차이가 상당히 큰 타원 모양이 된다(도 5a 참조).

<31> 커패시터 하부 전극(142)의 외형이 도시된 것과 같이 세로 방향으로 짧은 모양인 경우에는 그것의 높이가 증가함에 따라서 커패시터 하부 전극(142)이 세로 방향으로 쓰러질 확률이 높아진다. 또한, 이 방향으로는 커패시터 하부 전극(142)간의 간격이 상당히 좁기 때문에, 스토리지 하부 전극(142)이 조금만 휘어지는 경우에도 인접한 커패시터 하부 전극(142)과 연결되는 2-비트 불량 발생이 쉽다.

<32> 이를 보다 구체적으로 살펴보기 위하여, 외형이 직사각형(타원)인 실린더형 커패시터 하부 전극(142)을 예를 들어보자. 디자인 룰이  $0.10\mu\text{m}$ 인 디램의 경우, 직사각형의 길이 방향의 크기(타원의 장축 길이)는 약  $300\text{nm}$  이며 폭의 크기(타원의 단축 길이)는 약  $120\text{nm}$ 이고, 높이는 약  $1500\text{nm}$  정도이다. 이를 계산해보면 커패시터 하부 전극(142)의 길이에 대한 높이의 비는 약 5정도이나, 폭에 대한 높이의 비는 12이상이다. 또한, 커패시터 하부 전극(142)간의 세로 방향으로의 간격은 약  $80\text{nm}$  정도 밖에 되지 않는다.

<33> 또한, 디자인 룰이  $0.10\mu\text{m}$ 이하로 내려가면, 제3 콘택 홀 및/또는 커패시터 하부 전극(142)간의 간격이 좁기 때문에 포토리소그래피 공정에서 ArF 장비 및 ArF 포토 레지스트를 사

용하여야만 한다. 이것은 KrF 장비 및 KrF 포토 레지스트를 사용하는 것에 비하여 생산비용을 증가시키며, 공정 마진도 작아지기 때문에 불량이 발생하기가 쉽다.

**【발명이 이루고자 하는 기술적 과제】**

<34> 본 발명이 이루고자 하는 기술적 과제는 소스 영역 및 드레인 영역이 스트레이트 타입으로 배열된 반도체 기판 상에 충분한 커패시턴스를 가지며 옆으로 잘 쓰러지지 않는 구조로 된 커패시터를 포함하는 반도체 메모리 장치 및 그 반도체 메모리 장치를 제조하는 방법을 제공하는데 있다.

<35> 본 발명이 이루고자 하는 다른 기술적 과제는 디자인 룰이  $0.10\mu\text{m}$  이하로 내려가더라도 KrF 장비를 계속 사용함으로써, 생산비용도 절감할 수 있고 공정 마진도 충분히 확보할 수 있는 반도체 메모리 장치 및 그 반도체 메모리 장치를 제조하는 방법을 제공하는데 있다.

**【발명의 구성 및 작용】**

<36> 상기한 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 의한 반도체 메모리 장치는 COB 구조의 반도체 메모리 장치로서, 소스 영역 및 드레인 영역을 포함하는 활성 영역 및 상기 활성 영역을 둘러싸는 소자 격리 영역이 한정된 반도체 기판; 게이트 라인 구조물, 소스 영역과 연결되는 제1 콘택 패드, 드레인 영역과 연결되는 제2 콘택 패드 및 게이트 라인 구조물, 제1 콘택 패드 및 제2 콘택 패드를 둘러싸는 제1 층간 절연막을 포함하는 콘택 패드층; 제1 콘택 패드와 연결되는 하부 스토리지 노드 콘택 플러그, 제2 콘택 패드와 연결되는 비트 라인 콘택 플러그, 제2 콘택 패드가 하부 스토리지 노드 콘택 플러그 및/또는 상부 스토리지 노드 콘택 플러그와 연결되는 것을 방지하는 보호막 패턴 및 하부 스토리지 노드 콘택 플러그 및 보호막 패턴을 둘러싸는 제2 층간 절연막을 포함하는 비트 라인 콘택 플러그층; 및 하부 스토리지

노드 콘택 플러그와 연결되는 상부 스토리지 노드 콘택 플러그, 비트 라인 콘택 플러그와 연결되는 비트 라인 구조물 및 상부 스토리지 노드 콘택 플러그 및 비트 라인 구조물을 둘러싸는 제3 층간 절연막을 포함하는 비트 라인층을 포함한다.

<37>       상기한 기술적 과제를 달성하기 본 발명의 다른 실시예에 의한 반도체 메모리 소자는 소스 영역 및 드레인 영역이 가로 및 세로 방향으로 스트레이트 타입(straight type)으로 배열된 커패시터 온 비트 라인 구조의 반도체 메모리 장치로서, 소스 영역 및 드레인 영역이 형성된 활성 영역 및 활성 영역을 둘러싸는 소자 격리 영역이 한정된 반도체 기판; 게이트 라인 구조물, 소스 영역과 연결되는 제1 콘택 패드, 드레인 영역과 연결되는 제2 콘택 패드 및 게이트 라인 구조물, 제1 콘택 패드 및 제2 콘택 패드를 둘러싸는 제1 층간 절연막을 포함하는 콘택 패드층; 제1 콘택 패드와 연결되는 하부 스토리지 노드 콘택 플러그, 제2 콘택 패드와 연결되는 비트 라인 콘택 플러그, 제2 콘택 패드가 하부 스토리지 노드 콘택 플러그 및/또는 상부 스토리지 노드 콘택 플러그와 연결되는 것을 방지하는 보호막 패턴 및 하부 스토리지 노드 콘택 플러그 및 보호막 패턴을 둘러싸는 제2 층간 절연막을 포함하는 비트 라인 콘택 플러그층; 및 하부 스토리지 노드 콘택 플러그와 연결되고 지그재그로 배열된 상부 스토리지 노드 콘택 플러그, 비트 라인 콘택 플러그와 연결되는 비트 라인 구조물 및 상부 스토리지 노드 콘택 플러그 및 비트 라인 구조물을 둘러싸는 제3 층간 절연막을 포함하는 비트 라인층을 포함한다.

<38>       상기한 반도체 메모리 장치에서 보호막 패턴은 제2 층간 절연막에 대하여 식각 선택비가 큰 물질로 형성되는 것이 바람직한데, 제2 층간 절연막이 실리콘 산화물로 형성되는 경우, 보호막 패턴은 실리콘 질화물 등으로 형성될 수 있다.

<39>       그리고, 상기한 반도체 메모리 장치에서 커패시터 하부 전극이 비트 라인 상에 지그재그로 배열되게 형성되어 있을 수 있으며, 이것은 실린더형 커패시터일 수 있다.

<40>       상기한 기술적 과제를 달성하기 위한 본 발명의 바람직한 일 실시예에 의한 반도체 메모리 소자의 제조방법은 커패시터 온 비트 라인 구조의 반도체 메모리 장치를 제조하는 방법으로, 소스 영역 및 드레인 영역을 포함하는 활성 영역 및 이 활성 영역을 둘러싸는 소자 격리 영역이 한정된 반도체 기판 상에 게이트 라인 구조물, 소스 영역과 연결되는 제1 콘택 패드, 드레인 영역과 연결되는 제2 콘택 패드 및 게이트 라인 구조물, 상기 제1 콘택 패드 및 제2 콘택 패드를 둘러싸는 제1 층간 절연막을 포함하는 콘택 패드층을 형성하는 단계; 콘택 패드층 상에 제2 콘택 패드가 후속 공정에서 형성될 스토리지 노드 콘택 플러그와 연결되는 것을 방지할 수 있는 보호막 패턴 및 이 보호막 패턴을 둘러싸는 제2 층간 절연막을 형성하는 단계; 제2 콘택 패드를 노출시키도록 제2 층간 절연막을 패터닝하여 제1 콘택 홀을 형성하는 단계; 제1 콘택 홀을 매립하는 비트 라인 콘택 플러그 및 비트 라인 콘택 플러그에 연결되는 비트 라인 구조물을 형성하는 단계; 제2 층간 절연막 상에 비트 라인 구조물을 둘러싸는 제3 층간 절연막을 형성하는 단계; 제3 층간 절연막 및 제2 층간 절연막을 패터닝하여 제1 콘택 패드를 노출시키는 제2 콘택 홀을 형성하는 단계; 및 제2 콘택 홀을 매립하는 스토리지 노드 콘택 플러그를 형성하는 단계를 포함한다.

<41>       상기한 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 의한 반도체 메모리 소자의 제조방법은 소스 영역 및 드레인 영역이 가로 및 세로 방향으로 스트레이트 타입으로 배열된 커패시터 온 비트 라인 구조의 반도체 메모리 장치를 제조하는 방법으로서, 소스 영역 및 드레인 영역이 형성된 활성 영역과 이 활성 영역을 둘러싸는 소자 격리 영역이 한정된 반도체 기판 상에 게이트 라인 구조물, 소스 영역과 연결되는 제1 콘택 패드, 드레인 영역과 연결되는 제2 콘택 패드 및 게이트 라인 구조물, 제1 콘택 패드 및 제2 콘택 패드를 둘러싸는 제1 층간 절연막을 포함하는 콘택 패드층을 형성하는 단계; 콘택 패드층 상에 제2 콘택 패드가 후속 공

정에서 형성될 스토리지 노드 콘택 플러그와 연결되는 것을 방지할 수 있는 보호막 패턴 및 이 보호막 패턴을 둘러싸는 제2 층간 절연막을 형성하는 단계; 제2 콘택 패드를 노출시키도록 제2 층간 절연막을 패터닝하여 제1 콘택 홀을 형성하는 단계; 제1 콘택 홀을 매립하는 비트 라인 콘택 플러그 및 비트 라인 콘택 플러그에 연결되는 비트 라인 구조물을 형성하는 단계; 제2 층간 절연막 상에 비트 라인 구조물을 둘러싸는 제3 층간 절연막을 형성하는 단계; 제3 층간 절연막 및 제2 층간 절연막을 패터닝하여 제1 콘택 패드를 노출시키는 제2 콘택 홀을 형성하는 단계; 및 제2 콘택 홀을 매립하는 스토리지 노드 콘택 플러그를 형성하는 단계를 포함한다.

<42> 상기한 실시예의 제2 콘택 홀을 형성하는 단계에서는 제2 콘택 홀이 지그재그로 배열되도록 제3 층간 절연막 및 제2 층간 절연막을 패터닝하는 것이 바람직하다.

<43> 그리고, 상기한 실시예의 스토리지 노드 콘택 플러그를 형성하는 단계 이후에는, 결과물 상에 식각 저지막 및 몰드 절연막을 순차적으로 형성하는 단계; 스토리지 노드 콘택 플러그가 노출되도록 몰드 절연막 및 식각 저지막을 패터닝하여 커패시터 하부 전극 형성 영역을 한정하는 단계; 커패시터 하부 전극 형성 영역 및 몰드 절연막 상에 커패시터 하부 전극 형성을 위한 도전체막을 정합적으로 형성하는 단계; 이 도전체막 상에 버퍼 절연막을 형성하는 단계; 버퍼 절연막 및 도전체막을 식각함으로써 도전체막의 노드를 분리하여 커패시터 하부 전극을 형성하는 단계; 잔류하는 버퍼 절연막 및 몰드 절연막을 제거하는 단계; 커패시터 하부 전극 상에 커패시터용 절연막을 형성하는 단계; 및 커패시터용 절연막 상에 커패시터 상부 전극을 형성하는 단계를 더 포함할 수 있다.

<44> 그리고, 상기한 커패시터 하부 전극 형성 영역은 지그재그로 배열되도록 몰드 절연막 및 식각 저지막을 패터닝하는 것이 바람직하다.

<45> 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수 있다. 오히려, 여기서 소개되는 실시예들은 본 발명의 기술적 사상이 철저하고 완전하게 개시될 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위하여 예시적으로 제공되어지는 것이다. 도면들에 있어서, 층 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 동일한 구성요소를 나타낸다.

<46> 도 6a 내지 도 9d에는 본 발명의 바람직한 실시예에 따라서 도 1에 도시된 등가회로가 구현된 메모리 셀을 포함하는 반도체 메모리 장치의 제조방법 및 그에 따라 제조된 반도체 메모리 장치가 개략적으로 도시되어 있다. 도면에서 도 6a, 도 7a, 도 8a 및 도 9a는 평면도이고, 나머지 도면은 단면도이다. 다만, 평면도에서는 각 구성 요소의 평면 배치를 보여주기 위하여 불필요한 구성 요소(예컨대, 층간 절연막 등)의 도시는 생략하였으며, 그 이전의 공정에서 제조된 구성 요소는 해치를 생략하고 실선으로만 도시하였다.

<47> 도 6a에는 보호막 패턴(222)의 평면 배치가 도시되어 있다. 그리고, 도 6b, 도 6c 및 도 6d에는 각각 도 6a의 I-I', II-II' 및 III-III' 라인을 따라 취한 단면도가 도시되어 있다.

<48> 이를 참조하면, 소스 영역 및 드레인 영역을 포함하는 활성 영역(202)과 활성 영역(202)을 둘러싸는 소자 격리 영역(204)을 포함하는 반도체 기판(200) 및 반도체 기판(200)의 상부에 게이트 라인 구조물(212), 제1 콘택 패드(214), 제2 콘택 패드(216) 및 이를 둘러싸는 제1 층간 절연막(218)을 포함하는 콘택 패드층(210)을 형성하는 공정은 종래 기술과 동일하다. 따라



서, 도 6a 내지 도 6d에 도시된 제2 층간 절연막(222) 및 보호막 패턴(224)은 도 3a 내지 도 3d의 결과물 상에 형성된 구성 요소이다.

<49> 계속해서, 콘택 패드층(210) 상에 제2 층간 절연막(222)을 형성한다. 제2 층간 절연막(222)은 실리콘 산화막으로 형성할 수 있다. 그리고, 소정의 패턴이 형성된 포토마스크를 사용하여 보호막 패턴이 형성될 영역을 한정하기 위하여 제2 층간 절연막(222)을 패터닝한다. 그 결과, 콘택 패드층(210)의 일부가 노출된다. 계속해서, 보호막 패턴이 형성될 영역 상에 소정의 절연물질을 매립함으로써 보호막 패턴(224)을 형성한다.

<50> 보호막 패턴(224)의 레이아웃은 여러 가지 형태로 만들 수 있다. 보호막 패턴(224)은 후속 공정에서 형성될 스토리지 노드 콘택 플러그(도 8의 참조 부호 236)와 제2 콘택 패드(216)가 서로 연결되어 단락되는 현상을 방지하는 역할을 하는 막이다. 따라서, 보호막 패턴(224)은 최소한 제2 콘택 패드(216)의 일부를 덮을 수 있어야 한다. 보다 구체적으로는, 제1 콘택 패드(214)에 대하여 가로 방향으로 스트레이트 위치에 형성된 부분에는 보호막 패턴(224)이 형성되는 것이 바람직하다. 즉, 스토리지 노드 콘택 플러그(236)가 평면상으로 지그재그로 배열되는 경우에도 이 스토리지 노드 콘택 플러그(236)가 제2 콘택 패드(216)와 연결되지 않도록 장벽을 형성할 수 있어야 한다. 도 6a에는 이와 같은 평면 레이아웃의 일 예가 도시되어 있다. 즉, 비트 라인 콘택 플러그(도 8의 참조 부호 226)가 연결될 공간만을 제외하고 제2 콘택 패드(216)의 나머지 부분은 보호막 패턴(224)이 앞, 뒤에서 덮을 수 있도록 배열하여 형성한다.

<51> 그리고, 보호막 패턴(224)은 제2 층간 절연막(222)에 대하여 식각 선택비가 큰 물질로 형성하는 것이 바람직하며, 제3 층간 절연막(234)에 대해서도 식각 선택비가 큰 물질로 형성하

는 것이 더욱 바람직하다. 그 이유는 후술한다. 예를 들어, 보호막 패턴(224)은 실리콘 질화막 등의 절연 물질로 형성한다.

<52> 도 7a에는 제2 층간 절연막(222)에 형성된 제1 콘택 홀(H)의 평면 배치가 도시되어 있다. 그리고, 도 7b, 도 7c 및 도 7d에는 각각 도 7a의 I-I', II-II' 및 III-III'라인을 따라 취한 단면도가 도시되어 있다.

<53> 이를 참조하면, 제2 층간 절연막(222)을 식각하여 비트 라인 콘택 플러그(도 8의 참조 부호 226)가 형성될 예정인 지역에 제1 콘택 홀(H)을 형성한다. 이것은 이 분야의 통상적인 포토리소그래피 공정 및 식각 공정을 사용하여 형성이 가능하다. 도 6a에 도시된 보호막 패턴(224)의 평면 배치에서는 제2 층간 절연막(222)만을 식각하면 제1 콘택 홀(H)을 형성할 수 있지만, 보호막 패턴(224)의 평면 배치 및 모양에 따라서 다를 수 있다. 예를 들어, 제1 콘택 홀(H)을 형성하기 위하여 제2 층간 절연막(222)과 함께 보호막 패턴의 일부를 식각해야 할 경우도 있고, 경우에 따라서는 보호막 패턴만을 식각해야 할 경우도 있다.

<54> 도 8a에는 제1 콘택 홀(H)에 매립된 비트 라인 콘택 플러그(226)와 비트 라인 구조물(232) 및 스토리지 노드 콘택 플러그(236)의 평면 배치가 도시되어 있다. 그리고, 도 8b, 도 8c 및 도 8d에는 각각 도 8a의 I-I', II-II' 및 III-III'라인을 따라 취한 단면도가 도시되어 있다.

<55> 도 8a 내지 도 8d 이후의 공정은 종래 기술에 의한 반도체 메모리 소자의 제조 공정에 사용되는 방법과 거의 유사하다. 다만, 스토리지 노드 콘택 플러그(236) 형성을 위한 포토마스크 패턴(그 결과 여기에 사용되는 포토리소그래피 장비) 및 그 상부에 형성되는 커패시터 하부 전극(242)의 외형 및 평면 배치만이 종래 기술에 의한 것과 다르다.

- <56> 도면을 참조하여 이를 보다 구체적으로 살펴보면, 우선 제1 콘택 홀(H)의 내부와 제2 층간 절연막(222) 및 보호막 패턴(224) 상에 도전 물질 및 하드 마스크막을 형성하기 위하여 절연막을 증착한다. 도전 물질은 예컨대 도핑된 폴리 실리콘이나 텅스텐 등의 금속 물질로 형성할 수 있고, 절연막은 실리콘 질화막 등으로 형성할 수 있다. 계속해서 이 절연막 및 도전 물질을 패터닝하여 비트 라인 구조물(232)을 형성한다.
- <57> 다음으로, 이 결과물 상에 제3 층간 절연막(234)을 비트 라인 구조물(232)보다 높게 증착한 다음 평탄화를 실시한다. 그리고, 스토리지 노드 콘택 플러그(236)가 형성될 영역을 한정하기 위하여 제3 층간 절연막(234)을 패터닝함으로써 제2 콘택 홀(미도시)을 형성한다.
- <58> 본 발명의 실시예에 의하면 제2 콘택 홀을 형성하기 위한 포토마스크의 패턴은 종래 기술에서 사용하던 마스크 패턴과는 다르다. 즉, 본 발명의 실시예에서는 종래의 것에 비하여 가로 방향(비트 라인 구조물(232) 방향)으로 더 크게 만들어진다. 그리고, 세로 방향(게이트 라인 구조물(212) 방향)으로는 지그재그로 배열되도록 한다.
- <59> 이와 같은 포토 마스크 패턴을 사용하여 노광 및 현상하여 포토레지스트 패턴을 형성한 다음, 이를 식각 마스크로 사용하여 제3 층간 절연막(234) 및 제2 층간 절연막(222)을 식각한다. 이 때, 자기 정렬에 의한 콘택 형성 방법에서와 같이 제3 및 제2 층간 절연막(234 및 222) 물질에 대해서는 식각율이 크지만 비트 라인 구조물(232)의 상부에 있는 마스크막 및 보호막 패턴(224) 물질에 대해서는 식각율이 작은 물질을 식각 가스로 사용하는 것이 바람직하다. 예를 들어, 실리콘 산화물과는 반응을 잘 하지만, 실리콘 질화물과는 거의 반응을 하지 않는 물질을 식각 가스로 사용할 수 있다.
- <60> 그러면, 제3 층간 절연막(234)의 상부는 포토레지스트 패턴의 모양처럼 큰 모양으로 식각되기 시작한다. 그리고, 제3 층간 절연막(234)이 어느 정도 깊이까지 식각되면 비트 라인 구

조물(232)이 노출되지만 이것은 그 상부의 마스크막에 의하여 보호된다. 식각 공정을 계속 실시하면, 제2 층간 절연막(222) 및 보호막 패턴(224)이 노출되면서 제2 층간 절연막(222)만이 식각되기 시작한다. 보호막 패턴(224)은 제2 및 제3 층간 절연막(222 및 234)에 대하여 식각 선택비가 큰 물질로 만들어지기 때문에 거의 식각되지 않는다. 이 식각 공정의 결과 제2 콘택 홀이 만들어지며, 이 제2 콘택 홀에 의하여 제1 콘택 패드(214)가 노출된다.

<61> 본 발명에 의하면, 제2 콘택 홀의 입구는 종래 기술에 의한 그것보다 크기가 크기 때문에 입구에서부터 수직으로 제3 층간 절연막(234) 및 제2 층간 절연막(222)을 식각하면 구조상으로는 제2 콘택 패드(216)가 노출될 수도 있다. 그러나, 식각 과정에서 보호막 패턴(224)에 의하여 제2 콘택 패드(216)의 주위에 형성된 막들은 식각되지 않는다. 따라서, 본 발명의 실시예에 의하면 제2 콘택 홀에 의하여 제2 콘택 패드(216)는 노출되지 않는다.

<62> 제2 콘택 패드(216)가 제2 콘택 홀에 노출되지 않기 때문에, 스토리지 노드 콘택 플러그(236)가 제2 콘택 패드(216)와 연결되어서 서로 단락되는 불량이 발생하는 것을 방지할 수 있다. 그리고, 스토리지 노드 콘택 플러그(236)는 종전보다 크게, 그리고 그 상부는 지그재그로 배열되도록 형성하는 것이 가능하다.

<63> 계속해서, 제2 콘택 홀에 도전 물질을 매립하여 건식 에치백이나 CMP 등의 공정을 사용하여 식각하면 스토리지 노드 콘택 플러그(236)가 만들어진다. 본 명세서에서 편의상 스토리지 노드 콘택 플러그(236) 중에서 제2 층간 절연막에 둘러싸인 부분은 하부 스토리지 노드 콘택 플러그(236a), 제3 층간 절연막에 둘러싸인 부분은 상부 스토리지 노드 콘택 플러그(236b)라고 칭하기로 한다(도 8b참조).

<64> 본 발명에 의한 반도체 메모리 소자에 의하면 콘택 패드층(210) 상에는 비트 라인 콘택 플러그층(220)이 형성되고, 이 비트 라인 콘택 플러그층(220)은 비트 라인 콘택 플러그(226),

보호막 패턴(224), 하부 스토리지 노드 콘택 플러그(326a) 및 제2 층간 절연막(222)을 포함한다. 그리고 이 비트 라인 콘택 플러그층(220) 상에는 스토리지 노드 콘택 플러그층(230)이 형성되는데, 이 스토리지 노드 콘택 플러그층(230)은 상부 스토리지 노드 콘택 플러그(326b), 비트 라인 구조물(232) 및 제3 층간 절연막(234)을 포함한다.

<65> 계속해서, 커패시터 형성 공정이 실시된다. 커패시터 형성 공정 중에서 실린더형 커패시터의 하부 전극(242)을 형성한 결과물이 도 9a 내지 도 9d에 도시되어 있다. 마찬가지로 도 9a에는 커패시터 하부 전극(242)의 평면 배치가 도시되어 있다. 그리고, 도 9b, 도 9c 및 도 9d에는 각각 도 9a의 I-I', II-II' 및 III-III' 라인을 따라 취한 단면도가 도시되어 있다.

<66> 실린더형 커패시터를 제조하는 방법은 종래 기술에 의한 방법과 동일하기 때문에 여기서는 상세한 설명을 생략한다. 그러나, 종래 기술과는 달리 본 발명에서는 커패시터 하부 전극(242) 즉 커패시터가 스트레이트 타입으로 배열되는 것이 아니라 지그재그 타입으로 배열할 수 있다. 이것은 스토리지 노드 콘택 플러그(236)를 충분히 크고 지그재그 타입으로 형성할 수 있었기 때문에 가능하다.

<67> 그리고, 커패시터 하부 전극(242)을 지그재그 타입으로 배열할 수 있기 때문에 커패시터 하부 전극(242)의 외형도 마름모, 구형 또는 길이와 폭의 크기가 크게 차이가 나지 않는 직사각형 모양으로 제조할 수 있다. 이와 같은 평면 형태를 가진 커패시터 하부 전극(242)은 특별히 좁은 폭을 가지는 부분이 없기 때문에 종래에 비하여 옆으로 잘 쓰러지지 않고 스스로 지탱할 수가 있다.

<68> 이를 보다 구체적으로 살펴보면, 전술한 바와 같이 디자인 룰이  $0.10\mu\text{m}$ 인 디램의 경우, 직사각형(또는 타원)의 평면 모양을 가진 커패시터 하부 전극(242)을 가정해보자. 이 경우에 현재의 크기대로 소자를 제조하면 직사각형의 길이 방향의 크기(타원의 장축 방향의 길이)는

약 250nm 이며 폭의 크기(타원의 단축 방향의 길이)는 약 200nm이고, 커패시터 하부 전극(242)의 높이는 약 1500nm 정도이다. 그러면 커패시터 하부 전극의 길이에 대한 높이의 비는 약 5정도이고, 폭에 대한 높이의 비는 약 8이다. 따라서 종래의 커패시터 하부 전극(142)과 비교하면 폭에 대한 높이의 비는 약 3분의 2 정도로 줄어들기 때문에 커패시터 하부 전극이 쓰러져서 불량 발생 가능성이 현저히 줄어든다.

<69> 그런데, 상기한 예에서는 커패시터 하부 전극의 길이가 줄어들기 때문에 종래와는 달리 커패시터의 유효 면적이 약 10% 정도 감소하는 문제가 생긴다. 그러나, 이러한 문제는 스토리지 하부 전극(242)의 높이를 더 증가시킴으로써 해결할 수 있다. 커패시터 하부 전극과 동일한 폭(타원의 단축 길이)에 대한 높이 비가 종래 기술에 의한 것과 동일한 커패시터라고 가정하면, 커패시터 하부 전극의 높이를 약 30% 가량 증가시킬 수 있다. 따라서 커패시터의 총 유효 면적은 약 20%가 증가하게 되므로, 커패시터의 커패시턴스도 오히려 약 20% 정도가 증가시킬 수가 있다.

<70> 또한, 본 발명에 의하면 비록 디자인 룰이  $0.10\mu\text{m}$  이하로 내려가더라도 커패시터 하부 전극(242)을 형성하기 위하여 몰드 산화막을 패터닝할 경우에 ArF 장비 및 ArF 포토레지스트가 아니라 KrF 장비 및 KrF 포토레지스트를 사용하여 공정을 실시할 수가 있다. 따라서, 생산비용을 현저히 절감할 수 있으며 공정 마진도 충분히 확보할 수 있다.

#### 【발명의 효과】

<71> 본 발명에 의하면 종래에 사용하던 스트레이트 타입으로 활성 영역이 배열된 메모리 셀을 사용해서도 커패시터가 지그재그 타입으로 배열된 반도체 메모리 소자를 간단한 방법으로 제조할 수가 있다. 따라서, 커패시터의 쓰러짐에 의한 불량을 방지할 수가 있으며, 충분한 커패시턴스를 가진 커패시터를 제조할 수도 있다.

<72> 그리고, 디자인 룰이  $0.1\mu\text{m}$  이하로 내려가더라도 종래의 KrF 장비 및 KrF포토리소그래피를 사용하여 포토리소그래피 공정을 진행할 수가 있다. 따라서, 생산비용을 절감할 수가 있으며, 공정 마진을 충분히 확보할 수가 있다.

【특허청구범위】

【청구항 1】

커패시터 온 비트 라인(COB) 구조의 반도체 메모리 장치에 있어서,

소스 영역 및 드레인 영역을 포함하는 활성 영역 및 상기 활성 영역을 둘러싸는 소자 격리 영역이 한정된 반도체 기판;

게이트 라인 구조물, 상기 소스 영역과 연결되는 제1 콘택 패드, 상기 드레인 영역과 연결되는 제2 콘택 패드 및 상기 게이트 라인 구조물, 상기 제1 콘택 패드 및 상기 제2 콘택 패드를 둘러싸는 제1 층간 절연막을 포함하고 상기 반도체 기판 상에 형성된 콘택 패드층;

상기 제1 콘택 패드와 연결되는 하부 스토리지 노드 콘택 플러그, 상기 제2 콘택 패드와 연결되는 비트 라인 콘택 플러그, 상기 제2 콘택 패드가 상기 하부 스토리지 노드 콘택 플러그 및/또는 상부 스토리지 노드 콘택 플러그와 연결되는 것을 방지하는 보호막 패턴 및 상기 하부 스토리지 노드 콘택 플러그 및 상기 보호막 패턴을 둘러싸는 제2 층간 절연막을 포함하고 상기 콘택 패드층 상에 형성된 비트 라인 콘택 플러그층; 및

상기 하부 스토리지 노드 콘택 플러그와 연결되는 상부 스토리지 노드 콘택 플러그, 상기 비트 라인 콘택 플러그와 연결되는 비트 라인 구조물 및 상기 상부 스토리지 노드 콘택 플러그 및 상기 비트 라인 구조물을 둘러싸는 제3 층간 절연막을 포함하고 상기 비트 라인 콘택 플러그층 상에 형성된 비트 라인층을 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 2】

제1항에 있어서, 상기 보호막 패턴은 상기 제2 층간 절연막에 대하여 식각 선택비가 큰 물질로 형성되는 것을 특징으로 하는 반도체 메모리 장치.



【청구항 3】

제2항에 있어서, 상기 제2 층간 절연막은 실리콘 산화물로 형성되고, 상기 보호막 패턴은 실리콘 질화물로 형성되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 4】

제1항에 있어서, 상기 반도체 메모리 장치는 상기 상부 스토리지 노드 콘택 플러그와 연결되는 커패시터가 상기 비트 라인층의 상부에 더 구비되어 있는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 5】

소스 영역 및 드레인 영역이 가로 및 세로 방향으로 스트레이트 타입(straight type)으로 배열된 커패시터 온 비트 라인 구조의 반도체 메모리 장치에 있어서,

상기 소스 영역 및 드레인 영역이 형성된 활성 영역 및 상기 활성 영역을 둘러싸는 소자 격리 영역이 한정된 반도체 기판;

게이트 라인 구조물, 상기 소스 영역과 연결되는 제1 콘택 패드, 상기 드레인 영역과 연결되는 제2 콘택 패드 및 상기 게이트 라인 구조물, 상기 제1 콘택 패드 및 상기 제2 콘택 패드를 둘러싸는 제1 층간 절연막을 포함하고 상기 반도체 기판 상에 형성된 콘택 패드층;

상기 제1 콘택 패드와 연결되는 하부 스토리지 노드 콘택 플러그, 상기 제2 콘택 패드와 연결되는 비트 라인 콘택 플러그, 상기 제2 콘택 패드가 상기 하부 스토리지 노드 콘택 플러그 및/또는 상부 스토리지 노드 콘택 플러그와 연결되는 것을 방지하는 보호막 패턴 및 상기 하부 스토리지 노드 콘택 플러그 및 상기 보호막 패턴을 둘러싸는 제2 층간 절연막을 포함하고 상기 콘택 패드층 상에 형성된 비트 라인 콘택 플러그층; 및

상기 하부 스토리지 노드 콘택 플러그와 연결되고 지그재그로 배열된 상부 스토리지 노드 콘택 플러그, 상기 비트 라인 콘택 플러그와 연결되는 비트 라인 구조물 및 상기 상부 스토리지 노드 콘택 플러그 및 상기 비트 라인 구조물을 둘러싸는 제3 층간 절연막을 포함하고 상기 비트 라인 콘택 플러그층 상에 형성된 비트 라인층을 포함하는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 6】**

제5항에 있어서, 상기 보호막 패턴은 상기 제2 층간 절연막에 대하여 식각 선택비가 큰 물질로 형성되는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 7】**

제6항에 있어서, 상기 제2 층간 절연막은 실리콘 산화물로 형성되고, 상기 보호막 패턴은 실리콘 질화물로 형성되는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 8】**

제5항에 있어서, 상기 반도체 메모리 장치는 상기 반도체 메모리 장치는 상기 상부 스토리지 노드 콘택 플러그와 연결되는 커패시터가 상기 비트 라인층의 상부에 더 구비되어 있는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 9】**

제8항에 있어서, 상기 커패시터의 하부 전극은 지그재그로 배열되어 있는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 10】**

제9항에 있어서, 상기 커패시터의 하부 전극은 실린더형인 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 11】**

커패시터 온 비트 라인 구조의 반도체 메모리 장치를 제조하는 방법에 있어서,

소스 영역 및 드레인 영역을 포함하는 활성 영역 및 상기 활성 영역을 둘러싸는 소자 격리 영역이 한정된 반도체 기판 상에 게이트 라인 구조물, 상기 소스 영역과 연결되는 제1 콘택 패드, 상기 드레인 영역과 연결되는 제2 콘택 패드 및 상기 게이트 라인 구조물, 상기 제1 콘택 패드 및 상기 제2 콘택 패드를 둘러싸는 제1 층간 절연막을 포함하는 콘택 패드층을 형성하는 단계;

상기 콘택 패드층 상에 상기 제2 콘택 패드가 후속 공정에서 형성될 스토리지 노드 콘택 플러그와 연결되는 것을 방지할 수 있는 보호막 패턴 및 상기 보호막 패턴을 둘러싸는 제2 층간 절연막을 형성하는 단계;

상기 제2 콘택 패드를 노출시키도록 상기 제2 층간 절연막을 패터닝하여 제1 콘택 홀을 형성하는 단계;

상기 제1 콘택 홀을 매립하는 비트 라인 콘택 플러그 및 상기 비트 라인 콘택 플러그에 연결되는 비트 라인 구조물을 형성하는 단계;

상기 제2 층간 절연막 상에 상기 비트 라인 구조물을 둘러싸는 제3 층간 절연막을 형성하는 단계;

상기 제3 층간 절연막 및 상기 제2 층간 절연막을 패터닝하여 상기 제1 콘택 패드를 노출시키는 제2 콘택 홀을 형성하는 단계; 및

상기 제2 콘택 홀을 매립하는 상기 스토리지 노드 콘택 플러그를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 제조방법.

【청구항 12】

제11항에 있어서, 상기 보호막 패턴은 상기 제2 층간 절연막에 대하여 식각 선택비가 큰 물질로 형성하는 것을 특징으로 하는 반도체 메모리 장치의 제조방법.

【청구항 13】

제12항에 있어서, 상기 제2 층간 절연막은 실리콘 산화물로 형성되고, 상기 보호막 패턴은 실리콘 질화물로 형성하는 것을 특징으로 하는 반도체 메모리 장치의 제조방법.

【청구항 14】

제11항에 있어서, 상기 스토리지 노드 콘택 플러그를 형성하는 단계 이후에는 상기 스토리지 노드 콘택 플러그와 연결되는 커패시터를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 메모리 장치의 제조방법.

【청구항 15】

소스 영역 및 드레인 영역이 가로 및 세로 방향으로 스트레이트 타입으로 배열된 커패시터 온 비트 라인 구조의 반도체 메모리 장치를 제조하는 방법에 있어서,

상기 소스 영역 및 드레인 영역이 형성된 활성 영역 및 상기 활성 영역을 둘러싸는 소자 격리 영역이 한정된 반도체 기판 상에 게이트 라인 구조물, 상기 소스 영역과 연결되는 제1 콘택 패드, 상기 드레인 영역과 연결되는 제2 콘택 패드 및 상기 게이트 라인 구조물, 상기

제1 콘택 패드 및 상기 제2 콘택 패드를 둘러싸는 제1 층간 절연막을 포함하는 콘택 패드층을 형성하는 단계;

상기 콘택 패드층 상에 상기 제2 콘택 패드가 후속 공정에서 형성될 스토리지 노드 콘택 플러그와 연결되는 것을 방지할 수 있는 보호막 패턴 및 상기 보호막 패턴을 둘러싸는 제2 층간 절연막을 형성하는 단계;

상기 제2 콘택 패드를 노출시키도록 상기 제2 층간 절연막을 패터닝하여 제1 콘택 홀을 형성하는 단계;

상기 제1 콘택 홀을 매립하는 비트 라인 콘택 플러그 및 상기 비트 라인 콘택 플러그에 연결되는 비트 라인 구조물을 형성하는 단계;

상기 제2 층간 절연막 상에 상기 비트 라인 구조물을 둘러싸는 제3 층간 절연막을 형성하는 단계;

상기 제3 층간 절연막 및 상기 제2 층간 절연막을 패터닝하여 상기 제1 콘택 패드를 노출시키는 제2 콘택 홀을 형성하는 단계; 및

상기 제2 콘택 홀을 매립하는 상기 스토리지 노드 콘택 플러그를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 제조방법.

#### 【청구항 16】

제15항에 있어서, 상기 보호막 패턴은 상기 제2 층간 절연막에 대하여 식각 선택비가 큰 물질로 형성하는 것을 특징으로 하는 반도체 메모리 장치의 제조방법.

【청구항 17】

제16항에 있어서, 상기 제2 층간 절연막은 실리콘 산화물로 형성되고, 상기 보호막 패턴은 실리콘 질화물로 형성하는 것을 특징으로 하는 반도체 메모리 장치의 제조방법.

【청구항 18】

제15항에 있어서, 상기 제2 콘택 홀을 형성하는 단계에서 상기 제2 콘택 홀이 지그재그로 배열되도록 상기 제3 층간 절연막 및 상기 제2 층간 절연막을 패터닝하는 것을 특징으로 하는 반도체 메모리 장치의 제조방법.

【청구항 19】

제15항에 있어서, 상기 스토리지 노드 콘택 플러그를 형성하는 단계 이후에,

상기 결과물 상에 식각 저지막 및 몰드 절연막을 순차적으로 형성하는 단계;

상기 스토리지 노드 콘택 플러그가 노출되도록 상기 몰드 절연막 및 상기 식각 저지막을 패터닝하여 커패시터 하부 전극 형성 영역을 한정하는 단계;

상기 커패시터 하부 전극 형성 영역 및 상기 몰드 절연막 상에 커패시터 하부 전극 형성용 도전체막을 정합적으로 형성하는 단계;

상기 도전체막 상에 버퍼 절연막을 형성하는 단계;

상기 버퍼 절연막 및 도전체막을 식각함으로써 상기 도전체막의 노드를 분리하여 커패시터 하부 전극을 형성하는 단계;

잔류하는 상기 버퍼 절연막 및 상기 몰드 절연막을 제거하는 단계;

상기 커패시터 하부 전극 상에 커패시터용 절연막을 형성하는 단계; 및

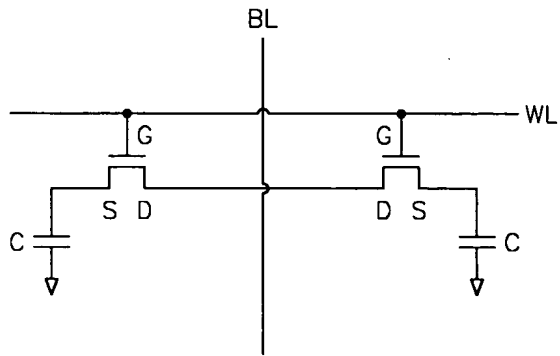
상기 커패시터용 절연막 상에 커패시터 상부 전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 메모리 장치의 제조방법.

【청구항 20】

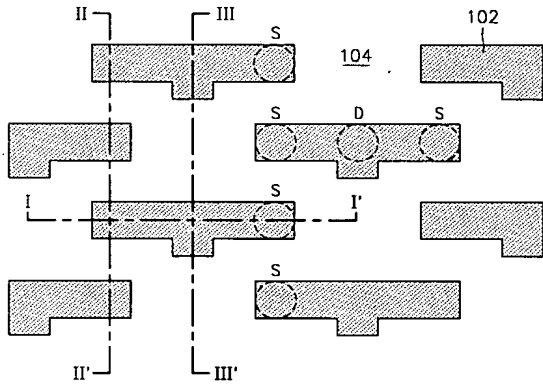
제19항에 있어서, 상기 커패시터 하부 전극 형성 영역은 지그재그로 배열되도록 상기 몰드 절연막 및 상기 식각 저지막을 패터닝하는 것을 특징으로 하는 반도체 메모리 장치의 제조방법.

【도면】

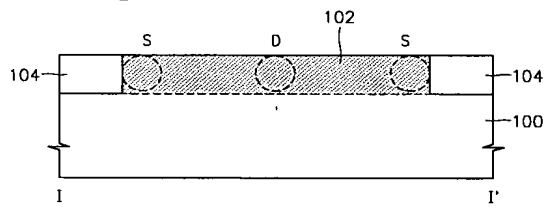
【도 1】



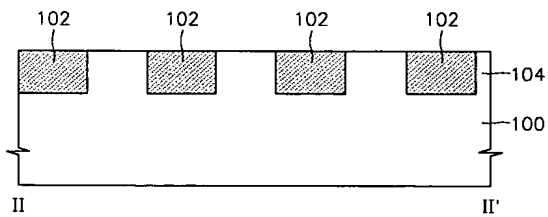
【도 2a】



【도 2b】

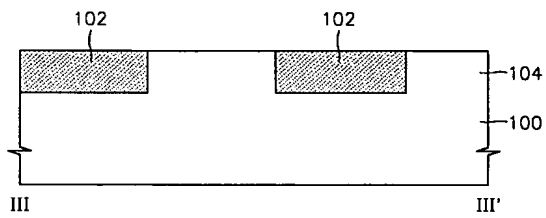


【도 2c】

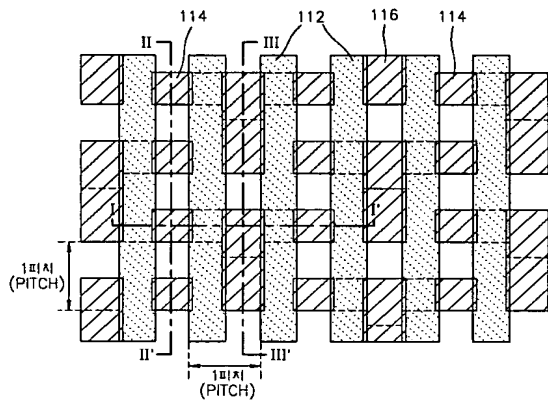




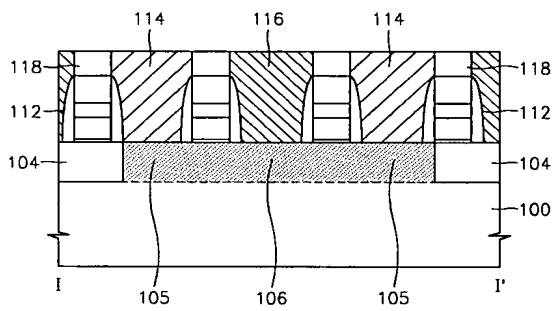
【도 2d】



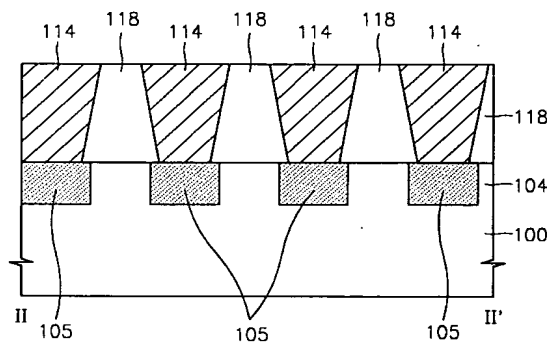
【도 3a】



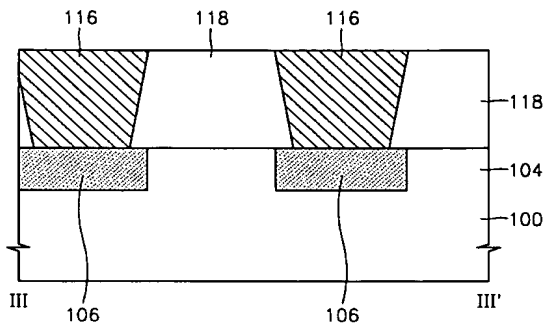
【도 3b】



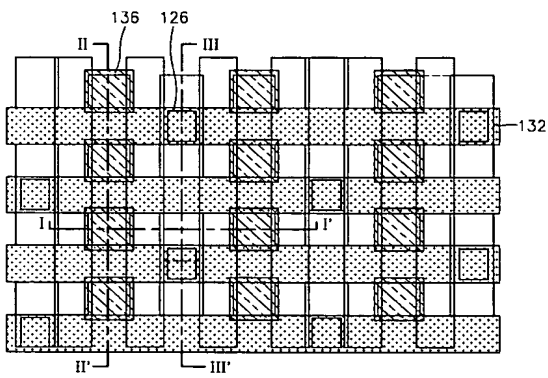
【도 3c】



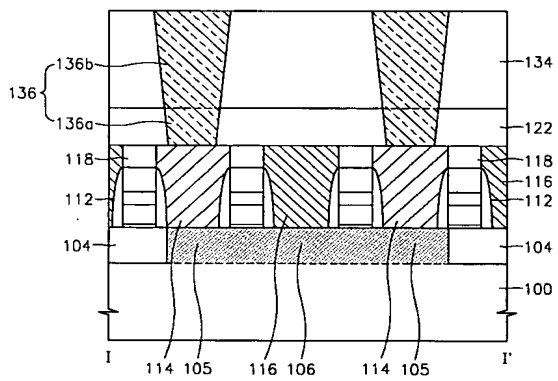
【도 3d】



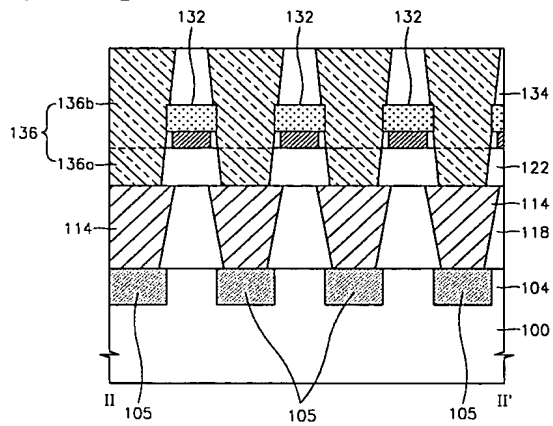
【도 4a】



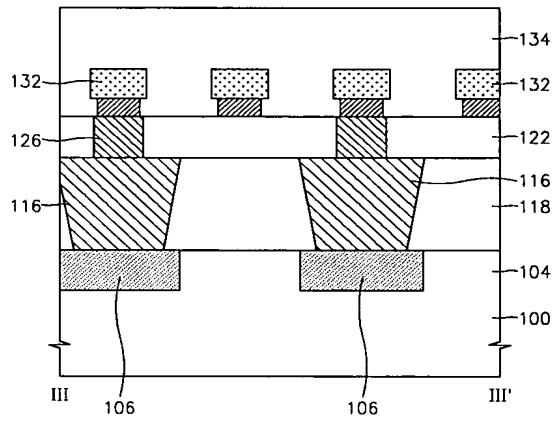
【도 4b】



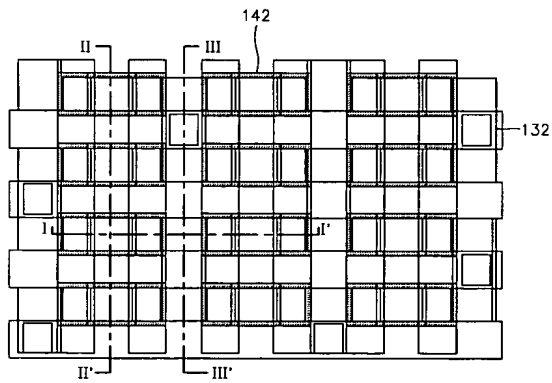
【도 4c】



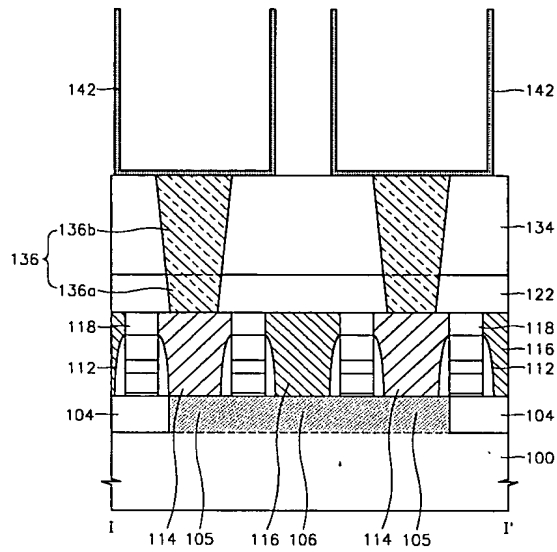
【도 4d】



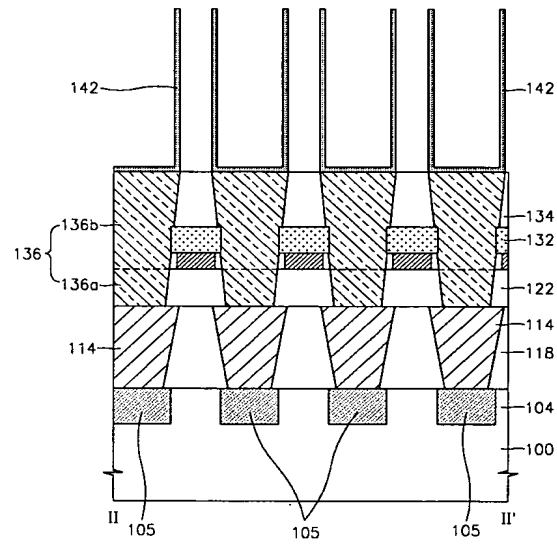
【도 5a】



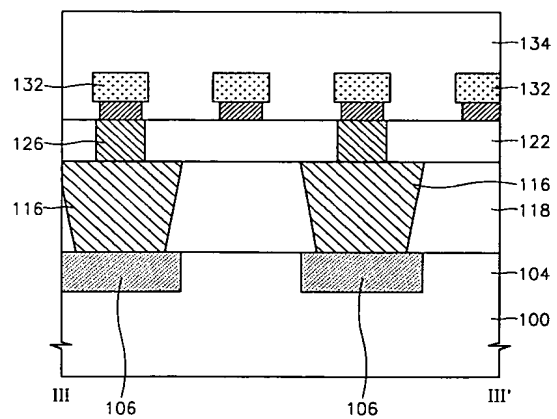
【도 5b】



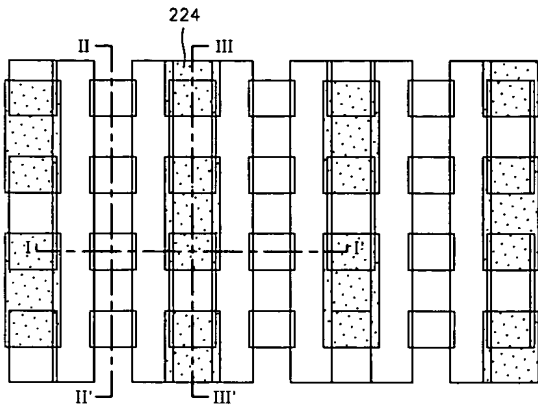
【도 5c】



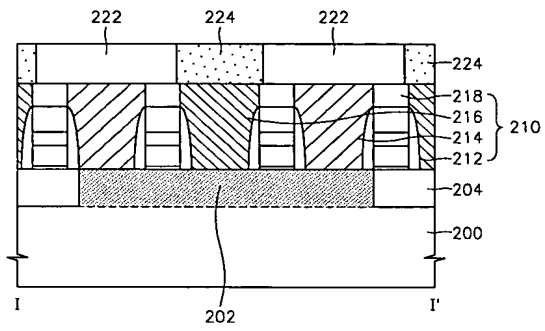
【도 5d】



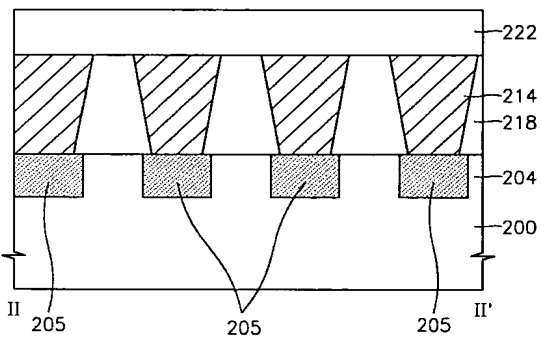
【도 6a】



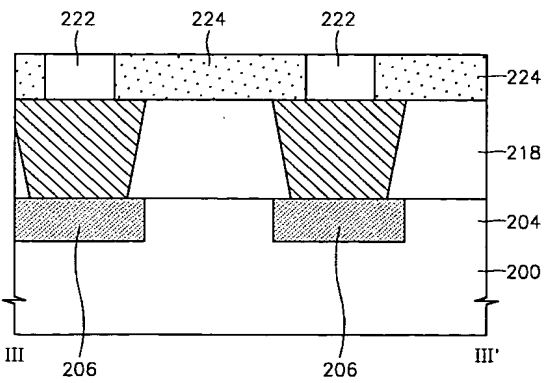
【도 6b】



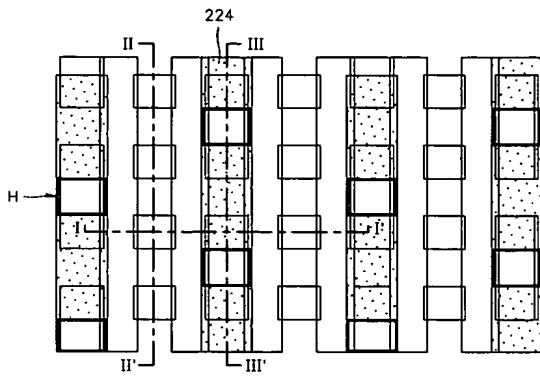
【도 6c】



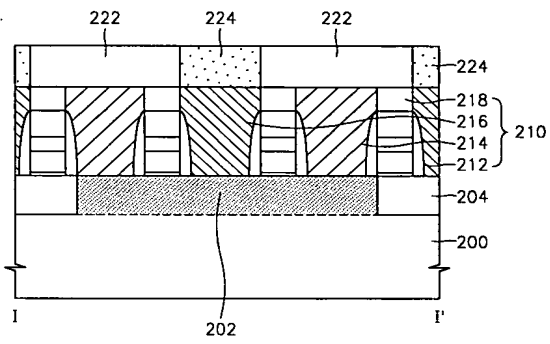
【도 6d】



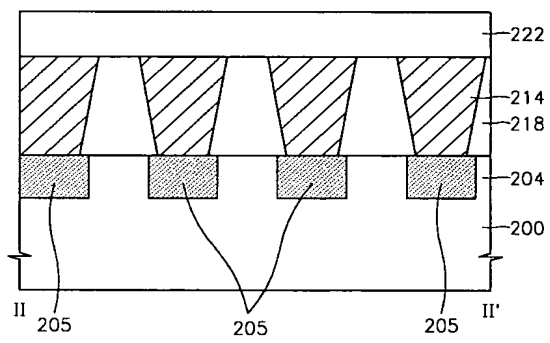
【도 7a】



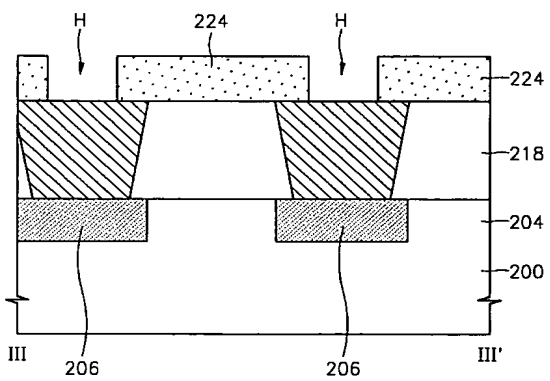
【도 7b】



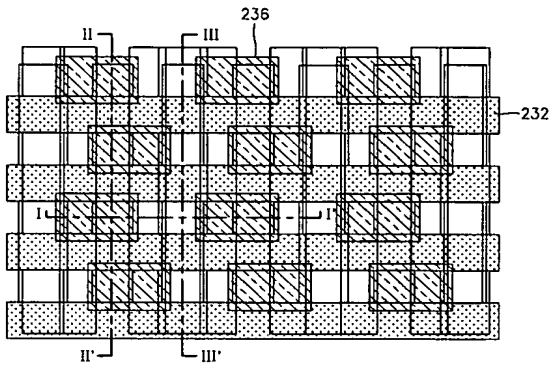
【도 7c】



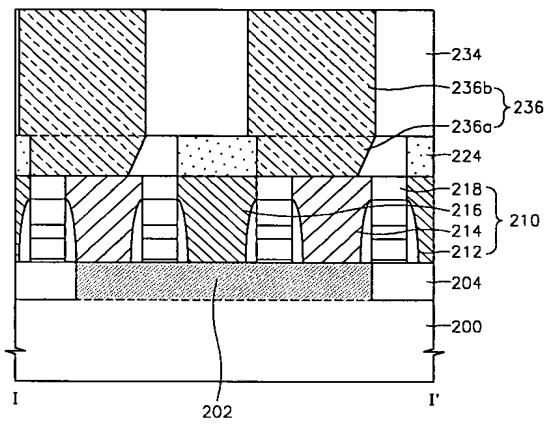
【도 7d】



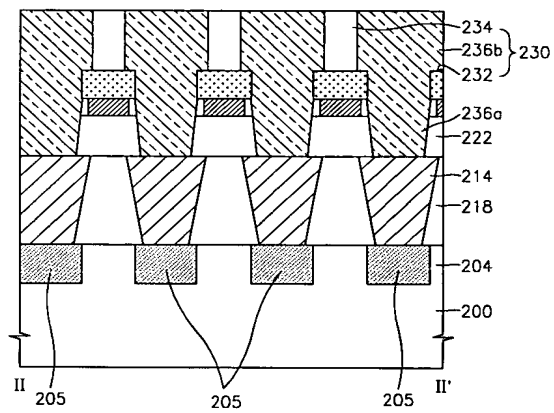
【도 8a】



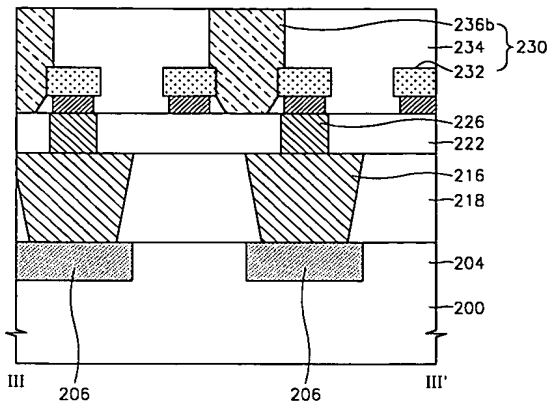
【도 8b】



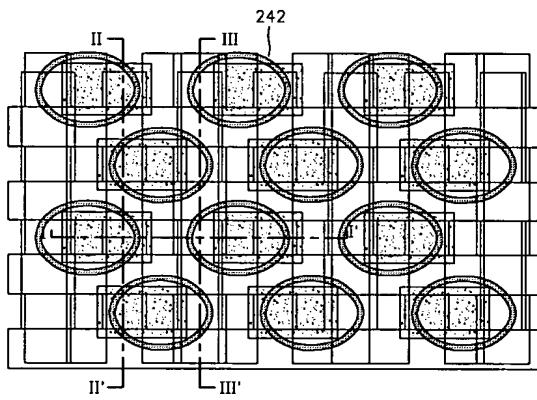
【도 8c】



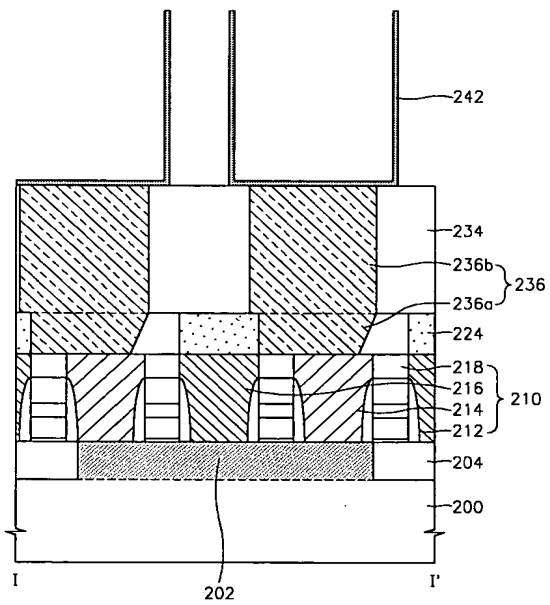
【도 8d】



【도 9a】

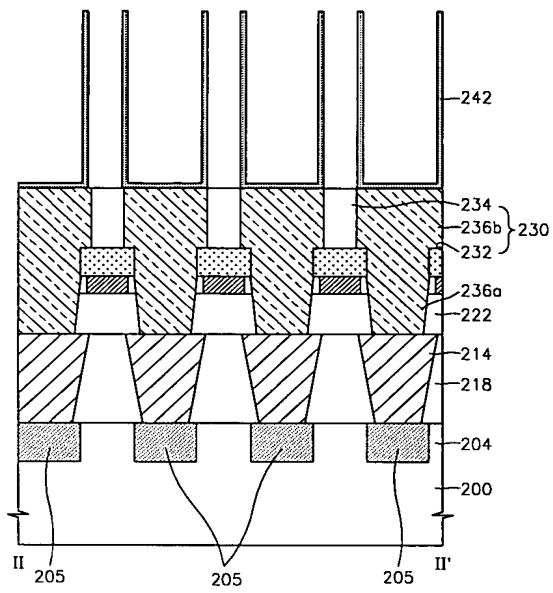


【도 9b】





【도 9c】



【도 9d】

